

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

12528458

Basic Patent (No,Kind,Date): JP 7176630 A2 19950714 <No. of Patents: 004>

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE** (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): KIYONO JUNJI

IPC: \*H01L-021/8244; H01L-027/11

Derwent WPI Acc No: \*C 95-278905; C 95-278905

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7176630	A2	19950714	JP 93317982	A	19931217 (BASIC)
JP 2596359	B2	19970402	JP 93317982	A	19931217
<b>KR 158007</b>	B1	19981201	KR 9434835	A	19941217
US 5506802	A	19960409	US 358945	A	19941219

Priority Data (No,Kind,Date):

JP 93317982 A 19931217



?

**BEST AVAILABLE COPY**

**STATIC RANDOM ACCESS MEMORY DEVICE HAVING HIGH SOFT ERROR IMMUNITY**

**Patent number:** KR158007  
**Publication date:** 1998-12-01  
**Inventor:** KIYONO JUNJI (JP)  
**Applicant:** NIPPON ELECTRIC CO (JP)  
**Classification:**  
- **International:** H01L27/11  
- **European:**  
**Application number:** KR19940034835 19941217  
**Priority number(s):** JP19930317982 19931217

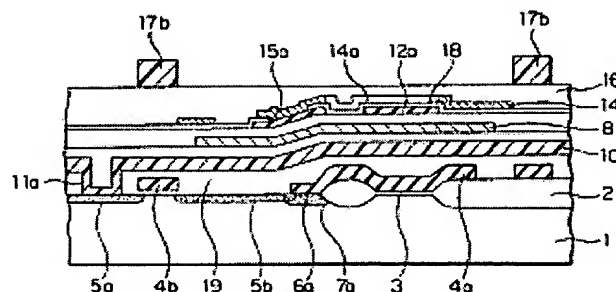
**Also published as:**

 US5506802 (A)  
 JP7176630 (A)

Abstract not available for KR158007

Abstract of correspondent: **US5506802**

An SRAM having a TFT load element has a gate electrode of the load TFTs disposed between bit lines and channel regions of the load TFTs. The structure avoids formation of a parasitic transistor in which each of the bit lines would act as a gate electrode for the channel region of the TFT load element. The SRAM has a high soft error immunity even at a low supply voltage.



Data supplied from the *esp@cenet* database - Worldwide

특1995-0021668

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>°</sup> (11) 공개번호 특1995-0021668  
H01L 27/11 (43) 공개일자 1995년07월26일

(21) 출원번호 특1994-0034835  
(22) 출원일자 1994년12월17일  
(30) 우선권주장 93-317982 1993년12월17일 일본(JP)  
(71) 출원인 닛본덴기 가부시끼가이샤 가네꼬 히사시  
일본국 도쿄도 마나도구 시바 5조메 7-1  
(72) 발명자 기요노 준지  
일본국 도쿄도 마나도구 시바 5조메 7-1 닛본덴기 가부시끼가이샤 내  
(74) 대리인 장수길, 구영창

심사청구 : 있음

(54) 소프트 에러 내성이 높은 스테틱 랜덤 액세스 메모리 디바이스

요약

TFT부하 소자를 갖고 있는 SRAM은 비트 라인과 부하 TFT의 채널 영역 사이에 배치된 부하 TFT의 게이트 전극을 구비한다. 이 구조는 비트 라인의 각각이 TFT부하 소자의 채널 영역에 대한 게이트 전극으로 작용할 수 있는 기생 트랜지스터의 형성을 방지한다. 본 발명에 따른 SRAM은 낮은 공급 전압시에서도 높은 소프트 에러 내성을 갖는다.

도표도

도5

영세서

[발명의 명칭]

소프트 에러 내성이 높은 스테틱 랜덤 액세스 메모리 디바이스

[도면의 간단한 설명]

제2도는 본 발명의 제1실시예에 따른 SRAM내의 TFT부하 소자의 구조를 도시한 평면도,

제3도는 제2도에 도시된 TFT부하 소자의 하부층의 구조를 도시한 평면도,

제4도는 제2도 및 제3도의 라인 A-A'에 따라 절취된 단면도,

제5도는 제2도 및 제3도의 라인 B-B'에 따라 절취된 단면도,

제6도는 본 발명의 제2실시예에 따른 SRAM을 도시하는 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 기판, 상기 기판위에 형성된 한 쌍의 비트 라인, 및 상기 한쌍의 비트 라인에 동작적으로 결합된 다수의 메모리 셀을 포함하고, 상기 메모리 셀을 포함하고, 상기 메모리 셀을 각각이 데이터를 저장하기 위한 한 쌍의 메모리 노드, 상기 한 쌍의 메모리 노드를 상기 한 쌍의 비트라인에 접속하기 위한 한 쌍의 액세스 트랜지스터, 상기 액세스 트랜지스터를 통해 전달된 신호에 따라 상기 한 쌍의 메모리 노드를 구동하기 위한 한쌍의 구동 트랜지스터, 및 상기 한쌍의 구동 트랜지스터에 대응하게 배치되고, 상기 기판위에 놓이는 박막 채널 영역, 및 상기 채널 영역의 전류를 제어하는 것으로서 상기 채널 영역과 상기 한 쌍의 비트 라인 중 대응하는 비트 라인 사이에 배치된 게이트 전극을 각각이 포함하는 한 쌍의 부하 트랜지스터를 갖고 있는 것을 특징으로 하는 스테틱 랜덤 액세스 메모리 디바이스.

청구항 2. 제1항에 있어서, 상기 메모리 셀들 각각이 상기 구동 트랜지스터들 중 대응하는 하나에 접속되고, 상기 채널 영역과 상기 한 쌍의 비트 라인 중 대응하는 비트 라인 사이에 배치된 접지층을 갖고 있는 것을 특징으로 하는 스테틱 랜덤 액세스 메모리 디바이스.

청구항 3. 제1항에 있어서, 상기 채널 영역은 다결정 실리콘막으로 형성된 것을 특징으로 하는 스테틱 랜덤 액세스 메모리 디바이스.

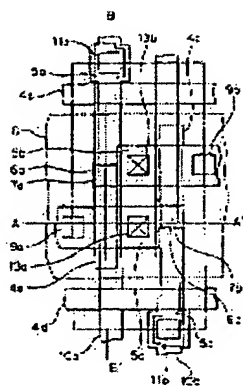
청구항 4. 제1항에 있어서, 상기 구동 트랜지스터 및 상기 액세스 트랜지스터 각각이 상기 기판 내에 채널 영역을 갖고 있는 것을 특징으로 하는 스테틱 랜덤 액세스 메모리 디바이스.

청구항 5. 제1항에 있어서, 상기 한 쌍의 부하 트랜지스터의 각각은 P채널 연계 효과 트랜지스터인 것을 특징으로 하는 스택틱 랜덤 액세스 메모리 디바이스.

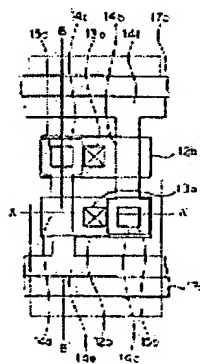
× 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

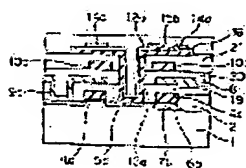
도면2



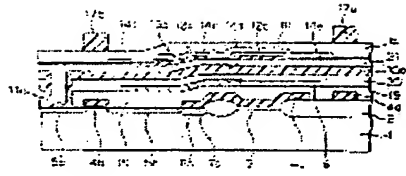
도면3



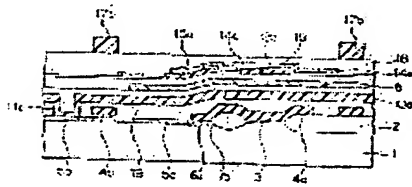
도면4



도 15



도 16



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**